

Japanese Patent Laid-open No. HEI 6-130135 A

Publication date : May 13, 1994

Applicant : Kawasaki Seitetsu Kabushiki Kaisha

Title : SEMICONDUCTOR INTEGRATED CIRCUIT OF SCAN PATH TEST SYSTEM

5

ABSTRACT

[PURPOSE:]

In a semiconductor integrated circuit of a scan path test system, the present invention is to reduce the number of test steps by reducing the number of test patterns inputted

10 externally.

[CONSTITUTION:]

Test pattern data pieces inputted externally are inputted together into a test circuit through parallel-serial converter and output data pieces together are outputted externally through a serial-parallel converter.

15

[Claim 1]

A semiconductor integrated circuit having a test circuit of a scan path system, comprising:

a plurality of test pattern input terminals to which test pattern data pieces are
20 inputted in parallel externally;

a parallel-serial converter which converts the test pattern data pieces inputted to the test data input terminals in a serial format;

a main circuit in which the test pattern data pieces are inputted through the parallel-serial converter and which is capable of forming the test circuit of a scan path
25 system;

a serial-parallel converter which converts the output date pieces from the test circuit to a parallel format; and

a plurality of test date output terminals for outputting output of the serial-parallel converter in a parallel format externally.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-130135

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.⁸

識別記号

F I

G01R 31/28

H01L 21/66

F 7377-4M

6912-2G

6912-2G

G01R 31/28

V

G

審査請求 未請求 請求項の数 1 (全 6 頁)

(21)出願番号

特願平4-277106

(22)出願日

平成4年(1992)10月15日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通 1 丁目 1 番 28 号

(72)発明者 高野 拓

東京都千代田区内幸町二丁目 2 番 3 号 川崎製鉄株式会社東京本社内

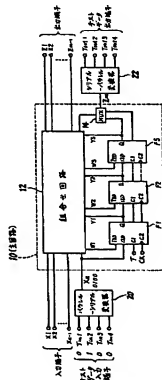
(74)代理人 弁理士 高矢 諭 (外 2 名)

(54)【発明の名称】 スキャンバステスト方式の半導体集積回路

(57)【要約】

【目的】 スキャンバステスト方式の半導体集積回路において、外部から入力されるテストパターン数を削減して、テストの工数を減らす。

【構成】 外部より入力されるテストパターンデータを、パラレル-シリアル変換器を通じてテスト回路にまとめて入力し、出力データをシリアル-パラレル変換器を通じて外部にまとめて出力する。



1

【特許請求の範囲】

【請求項 1】 スキャンバス方式のテスト回路を有する半導体集積回路において、

外部からテストパターンデータがパラレルに入力される、

複数のテストデータ入力端子と、

該テストデータ入力端子に入力されたテストパターンデータをシリアル形式に変換するパラレル-シリアル変換器と、

該パラレル-シリアル変換器を介してテストデータが入力される、スキャンバス方式のテスト回路を形成可能な主回路と、

該テスト回路からの出力データをパラレル形式に変換するシリアル-パラレル変換器と、

該シリアル-パラレル変換器の出力をパラレル形式で外部に出力するための、複数のテストデータ出力端子と、を備えたことを特徴とするスキャンバステスト方式の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スキャンバス方式のテスト回路を有する半導体集積回路に係り、特に、外部より複数のテストデータ入力が必要とする半導体集積回路に用いるのに好適な、外部から入力されるテストパターン数を削減することが可能なスキャンバステスト方式の半導体集積回路に関するものである。

【0002】

【従来の技術】 従来から、半導体集積回路のテストを容易化するために、スキャンバス方式と呼ばれる方式がよく用いられている。これは、回路の中の全てのフリップフロップを、テスト時に通常の回路接続から切り離して、1つの長大なシフトレジスタに切替えるもので、この方法によれば、全てのフリップフロップが1つのシフトレジスタになっているため、そのシフトレジスタにシリアルなテストパターンを入力すれば、極めて短いパターンでテストを完了することができる。

【0003】 一般に、論理回路は、フリップフロップやカウンタなどの順序回路と、ゲートなどの組合せ回路に分けることができる。スキャンバステスト法では、回路をこの2つに分けてテストする。

【0004】 ゲートを使用した組合せ回路は、入力が決まれば出力が直ちに決まる。このときの出力は、ゲートの組合せ方によって決まり、論理式で表わすことができる。従って、組合せ回路は、この論理式を使って簡単にテストすることができる。

【0005】 一方、フリップフロップなどを使用した順序回路は、フリップフロップ同士、あるいはフリップフロップと組合せ回路が複雑に繋がっているため、出力の状態を単純な論理式で表わすことができず、テストが非常に困難である。

【0006】 そこで、スキャンバステスト法では、回路

2

中の全てのフリップフロップの入力部分にセレクトを追加して、このセレクトを「通常モード」と「テストモード」に切替えることによってテストを行う。通常は、このセレクトを通常モードにしており、テスト時にはテストモードに切替えて、全てのフリップフロップを1つのシフトレジスタにする。このように、セレクトの切替えによって、図1に示す如く、主回路10を、組合せ回路12と、全てのフリップフロップ（図ではF1、F2、...、Fs）が接続されてなる1つのシフトレジスタに分割することができる。

【0007】 ここで、端子X1～Xn-1は通常の入力端子、Xnはテスト時にのみ使用されるテスト用入力端子、Z1～Zm-1は通常出力端子、Zmはテスト時にのみ使用されるテスト用出力端子、Tはテストモード時に1とされるモード切替端子、14はマルチプレクサ（MUX）である。

【0008】 主回路10中の代表的双安定素子であるフリップフロップ（以下Fと略す）F1～Fsにおいて、通常動作時は、データW1～Wsが、組合せ回路12より与えられ、出力Y1～Ysが再び組合せ回路12に与えられる。

【0009】 一方、テストモードにおいては、主回路10中のFが相互に接続されてスキャンバス回路が形成され、シフトレジスタ構造となっているため、次のようにして回路をテストすることができる。

【0010】 具体的には、まず、組合せ回路12をテストするために、モード切替端子Tの入力を「1」（テストモード）に設定し、テストパターン中のYi（i=1～s）値を、テスト用入力端子Xnからシリアル形式で順次入力して、組合せ回路12にテストパターンを設定する。次いで、モード切替端子Tを「0」にして、テスト用通常動作モードとし、回路が安定した後、出力Z1～Zmをチェックする。

【0011】 次に、クロック端子CKにクロック信号を与えた後、モード切替端子Tを再び「1」としてテストモードに戻し、テスト用出力端子Zmから、フリップフロップF1～Fsの内容を、順次読み出す。

【0012】 同様の動作を繰り返すことによって、組合せ回路12の動作をテストできる。

【0013】 次に、フリップフロップF1～Fsをテストするため、テスト用入力端子Xnからシリアルなテストパターンを順次入力し、テスト用出力端子Zmの出力をチェックする。

【0014】 ここで、各フリップフロップは、図2に示す如く、クロック信号CKの立上りでテスト用入力端子Xnから入力されたデータXnを取り込み、出力Qに出力を発生する。

【0015】 前記テスト用出力端子Zmから、入力したデータと同じ出力が得られれば、各フリップフロップF1～Fsの動作は正常と判断できる。

50

【 0 0 1 6 】

【発明が解決しようとする課題】このようなスキャンバス方式によれば、全てのフリップフロップが1つのシフトレジスタになっているため、短いテストパターンでテストを完了することができる。

【 0 0 1 7 】しかしながら、通常の回路には、非常に多くのフリップフロップが存在し、これらフリップフロップをテストするためには、長大なテストパターンを必要とする。従って、それに対応する試験装置が高価になると共に、スキャン装置内にテストパターンを格納するのに時間がかかるという問題点を有していた。

【 0 0 1 8 】本発明は、前記従来の問題点を解消するべく成されたもので、外部から入力するテストパターン数を大幅に削減して、迅速にテストを行うことが可能なスキャンバステスト方式の半導体集積回路を提供することを目的とする。

【 0 0 1 9 】

【課題を解決するための手段】本発明は、スキャンバス方式のテスト回路を有する半導体集積回路において、外部からテストパターンデータがパラレルに入力される、複数のテストデータ入力端子と、該テストデータ入力端子に入力されたテストパターンデータをシリアル形式に変換するパラレル-シリアル変換器と、該パラレル-シリアル変換器を介してテストデータが入力される、スキャンバス方式のテスト回路を形成可能な主回路と、該テスト回路からの出力データをパラレル形式に変換するシリアル-パラレル変換器と、該シリアル-パラレル変換器の出力をパラレル形式で外部に出力するための、複数のテストデータ出力端子とを備えることにより、前記目的を達成したものである。

【 0 0 2 0 】

【作用】本発明においては、半導体集積回路内に、テストデータ入力端子にパラレル形式で入力されたテストパターンデータを、主回路のテストに適したシリアル形式に変換するパラレル-シリアル変換器と、テスト回路から出力されるシリアル形式の出力データをパラレル形式に変換するシリアル-パラレル変換器を内蔵したので、テストパターンをパラレル形式でまとめて入力することができ、テストパターン数を大幅に削減することができる。又、テスト結果が、パラレル形式でまとめて出力されるので、テスト結果を迅速にチェックすることができる。

【 0 0 2 1 】

【実施例】以下図面を参照して、本発明の実施例を詳細に説明する。

【 0 0 2 2 】本実施例は、図3に示す如く、従来と同様の、組合せ回路12、フリップフロップF1、F2・・・F_s、マルチプレクサ14を含み、モード切替端子Tに入力される信号によってテスト回路を形成可能な主回路10を備えた半導体集積回路において、更に、外部か

らテストパターンデータをパラレルに入力するための、複数（図では4個）のテストデータ入力端子Tin1～Tin4と、該テストデータ入力端子Tin1～Tin4に入力されたテストパターンデータ（例えば0100）を、従来と同様のシリアル形式のテスト信号Xnに変換して、前記主回路10に入力するパラレル-シリアル変換器20と、前記主回路10のマルチプレクサ14から出力されるテスト結果出力信号Znを、パラレル形式に変換するシリアル-パラレル変換器22と、該シリアル-パラレル変換器22の出力をパラレル形式で外部に出力するための、例えば4個のテストデータ出力端子Tout1～Tout4とを備えたものである。

【 0 0 2 3 】前記パラレル-シリアル変換器20は、例えば図4に示す如く構成される。又、前記シリアル-パラレル変換器22は、例えば図5に示す如く構成される。

【 0 0 2 4 】以下、実施例の作用を説明する。

【 0 0 2 5 】フリップフロップのテストに際して、本実施例では、テストデータ入力端子Tin1～Tin4から、パラレル形式でテストパターンを入力する。例えば、テストデータ入力端子Tin1～Tin4から入力されるテストパターンが0100であったとすると、これら4ビットのデータは、パラレルに外部より入力され、半導体集積回路内のパラレル-シリアル変換器20に入る。前記テストパターンは、パラレル-シリアル変換器20において、続く4クロックサイクルで順次シリアルに0、1、0、0と出力され、従来のテスト用入力端子Xnに入力されていたテスト用入力信号と同じシリアル形式となって、主回路部10に入力される。

【 0 0 2 6 】主回路10は、図1に示したのと同じであるので、従来例と同様にして、主回路10内のフリップフロップF1～F_sをテストすることができる。

【 0 0 2 7 】従来と同様にシリアル形式で出力されるテスト結果出力信号Z_mは、シリアル-パラレル変換器22に入力され、テストデータ入力時と逆に、シリアルデータがパラレルデータに変換された後、テストデータ出力端子Tout1～Tout4を通じて、外部に出力される。

【 0 0 2 8 】

【発明の効果】本発明によれば、半導体集積回路内部にパラレル-シリアル変換器とシリアル-パラレル変換器を内蔵したので、外部から入力するテストパターン数を大幅に削減して、テスト時の工数を削減することができる。例えば、テストデータ入力端子及びテストデータ出力端子の数がnである場合、従来は、n個のパターンを各1つのテスト用入力端子Xn及びテスト用出力端子Z_mから入出力する必要があったのに対し、本発明によれば、n個のパターンを同時にテストデータ入力端子及びテストデータ出力端子からまとめて入出力可能となり、従来はテスト用入力端子Xn及びテスト用出力端子Z_m

からいちいち入力していたデータの数が、 $1/n$ となるため、少ないテスト端子数でも十分な効果が期待できる。又、テストすべきフリップフロップの数が多ときは、テストデータ入力端子及びテストデータ出力端子の数毎にパターンを分けて入力することもできる。

【図面の簡単な説明】

【図1】従来のスキャンバステスト方式の半導体集積回路の主回路の構成を示すブロック線図

【図2】前記従来例におけるクロック信号CKと、テスト用入力信号 X_n と、フリップフロップ出力Qのタイミングの例を示すタイミングチャート

【図3】本発明に係る半導体集積回路の実施例の構成を示すブロック線図

【図4】前記実施例で用いられているパラレル-シリアル変換器の構成例を示す回路図

【図5】同じくシリアル-パラレル変換器の構成例を示す

す回路図

【符号の説明】

10…主回路

12…組合せ回路

F1…F_s…フリップフロップ (FF)

X1…X_{n-1}…入力端子

Z1…Z_{m-1}…出力端子

T…モード切替端子

14…マルチプレクサ (MUX)

10 Tin1…Tin4…テストデータ入力端子

20…パラレル-シリアル変換器

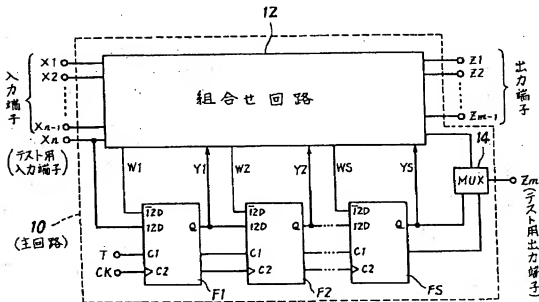
X_n…テスト用入力信号

Z_m…テスト結果出力信号

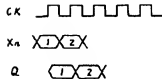
22…シリアル-パラレル変換器

Tout1…Tout4…テストデータ出力端子

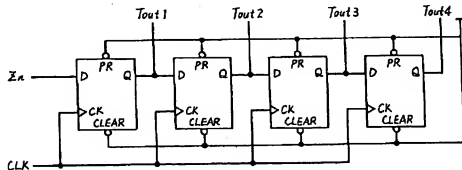
【図1】



【図2】



【図5】



【図 4】

